

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number 02271533 A

(43) Date of publication of application: 06.11.90

(51) Int. Cl

H01L 21/321

(21) Application number 01092467

(22) Date of filing: 12.04.89

(71) Applicant FUJITSU LTD

(72) Inventor: NAWATA TAKAHARU  
HASEGAWA HITOSHI  
KANEDA HIROSHI  
SUZUKI UDE  
SHIRAKAWA YOSHIMI

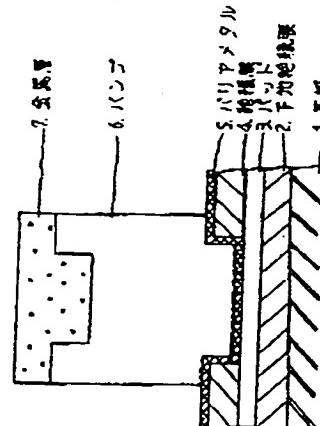
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

operation can be executed.

(57) Abstract:

PURPOSE: To make a tip shape of a bump of an integrated circuit element smooth and to realize a perfect bonding operation by a method wherein the surface of the bump is covered with a metal layer whose melting point is lower than that of the bump and the metal layer is melted.

CONSTITUTION: A pad 3 as a substratum electrode is formed on a semiconductor substrate 1; the pad 3 is covered with an insulating film 4; an electrode connection part is opened; then a barrier metal 5 is formed on the pad 3; a bump 6 is formed. During this process, the surface of the bump 6 is affected by a difference in level at its substratum and is set to a state of a recessed part. Then, a metal layer 7 is formed on the bump; lastly, the metal layer 7 is melted at a temperature which is higher than its melting point; its surface is made smooth. Thereby, a shape of the bump on which many uneven parts existed in conventional methods and whose bonding to a lead frame has been imperfect can be made smooth; a perfect bonding



## ⑪公開特許公報(A)

平2-271533

⑤Int.Cl.<sup>5</sup>

H 01 L 21/321

識別記号

庁内整理番号

⑥公開 平成2年(1990)11月6日

6810-5F H 01 L 21/92  
6810-5FB  
F

審査請求 未請求 請求項の数 1 (全4頁)

⑦発明の名称 半導体装置の製造方法

⑧特 願 平1-92467

⑨出 願 平1(1989)4月12日

⑩発明者 名和田 隆治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑪発明者 長谷川 齊 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑫発明者 金田 寛 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑬発明者 鈴木 腕 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑭出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑮代理人 弁理士 井桁 貞一

最終頁に続く

## 明細書

## 1. 発明の名称

半導体装置の製造方法

形成し、該バンプの上面に該バンプより低い融点を持つ第二の金属からなる金属層を被覆し、該金属層をメルトする工程を有することにより構成する。

## 2. 特許請求の範囲

バンプ形成部に、第一の金属からなるバンプ(6)を形成し、該バンプ(6)の上面に該バンプ(6)より低い融点を持つ第二の金属からなる金属層(7)を被覆し、該金属層(7)をメルトする工程を有することを特徴とする半導体装置の製造方法。

## (産業上の利用分野)

本発明はバンプ技術に関する。

近年のLSIの高集積化に伴って、ボンディング数が増加している。これに対応する技術としてバンプ技術が注目されている。

バンプ技術は多端子対応技術として、ウエハースケール・インテグレーションに用いられる。

## 3. 発明の詳細な説明

## (概要)

本発明は集積回路素子をリードフレームに接着するバンプ技術に関し、

集積回路素子のバンプ先端形状を滑らかにして、より完全な接着を行って、信頼度を向上することを目的とし、

バンプ形成部に、第一の金属からなるバンプを

## (従来の技術)

第3図は従来例の模式断面図である。

図において、16は半導体基板、17はバンプ、18はリードフレーム、19は絶縁膜、20はアルミニウム(Al)バッド、21は焼珪酸ガラス PSG 膜、22はパリアメタル、23はレジスト、24は金(Au)バンプである。

バンプはポンディングの部分を、メッキ、薔薇等の方法で大きく隆起させ、チップ外部と電気的コンタクトを保るためにものである。

第3図(a)に示すように、半導体基板16上のバンプ17をリードフレーム18に接続する時に、従来のバンプは先端に下地形状の影響を受け、凹凸が生じて、リードフレーム18との間に空隙が生じる。

これが電気的コンタクト不良を生じる原因となっていた。

このバンプ先端に凹凸の生ずる原因を、第3図(b)にバンプ17の構造明細を示す従来例の模式断面図により説明する。

半導体基板上の絶縁膜19に下地電極としてAlバッド20を形成し、PSG膜21を被覆したあと、バンプ形成部を開口する。この時に先ず、PSG膜の厚さに相当する段差が生ずる。

次にバリアメタル22を半導体基板全面に形成するが、バリアメタルは一般に厚さが薄いので、下地のPSG膜21の段差とおなじ段差が生ずる。

が必要であったが、本発明ではこのバンプの先端を滑らかにすることを考案した。

#### (課題を解決するための手段)

第1図は本発明の原理説明図である。

図において、1は基板、2は下地絶縁膜、3はバッド、4は絶縁膜、5はバリアメタル、6はバンプ、7は金属層である。

第1図で示すように、下地絶縁膜2で覆われた半導体の基板1上に下地電極としてのバッド3を形成し、バッド3の上に絶縁膜4を被覆し、電極接続部を開口する。

次に、バッド3上にバリアメタル5を形成する。

更に、バリアメタル5の上面にバンプ6を形成する。この時、バンプ6の表面は、下地段差の影響を受け、周辺部が高く、中央部が低く、四部の状態となる。

次に金属層7をバンプ6の上に形成する。

最後に、金属層7をその融点以上の温度で融解(メルト)して、表面を滑らかにする。

このバリアメタル22の層の上にめっきするバンプ24の厚さに相当する厚いレジスト23を塗布する。

次に、レジスト23のバンプ形成部分をフォトリソグラフィで開口し、この開口部にAuを厚くめっきし、Auバンプ24とする。

この時、めっきされるAuバンプ24の表面形状は、下地のバリアメタル22の形状の影響を受け、周辺部が高く、中央部が低くなる。更に、めっき液の電解質により突起や高い部分に電界集中が起こるので、下地電極の段差による高さや凹凸は、更に加速されて、めっき表面はより凸凹となる。

このため、第3図(b)に示すように、Auバンプ24の表面も下地のバリアメタル22の段差より、大きく、Auバンプ24の先端の中央が凹むこととなる。

#### (発明が解決しようとする課題)

バンプ先端の凹凸が接着不良の原因となり、信頼性を損なう大きな原因となっていた。

このためにバンプの形状を大きくする等の対策

#### (作用)

本発明では、第一の金属からなるバンプの上に、第一の金属より融点の低い第二の金属を載せ、この第二の金属からなる金属層を溶かすことにより、従来凹凸が多く、リードフレームとの接合が不完全であったバンプの形状を滑らかにすることができ、これによって、完全な接着が行える。

#### (実施例)

第2図は本発明の一実施例の工程順模式断面図である。

図において、8はシリコン(Si)基板、9は二酸化シリコン(SiO<sub>2</sub>)膜、10はAlバッド、11はPSG膜、12はチタン(Ti)、13はレジスト、14はAuバンプ、15は鉛一錫(Pb-Sn)はんだである。

第2図(a)に示すように、SiO<sub>2</sub>膜9を1μの厚さに被覆したSi基板8上にAlバッド10を1μの厚さに形成したのち、CVD法でPSG膜11を1μの厚さに全面被覆し、Alバッド10上面をバクシングして開口する。

次に、第2図(b)に示すように、バリアメタルとして、Ti12を3,000Åの厚さにSi基板8上全面にスパッタで積層する。

ボジ型のレジスト13をオートスピナーで15μの厚さに厚く塗布し、150℃で10分間のポストベーティングを行う。

フォトリソグラフィにより、パンプ形成領域をパタニングして開口する。

めっきにより15μの厚さにAuパンプ14を形成する。この時、Auパンプ14の周辺が、下地Ti12の影響で、盛り上がる。

基板全面にAu-Snよりなるはんだ15を5μの厚さに塗布する。第2図(c)に示すように、レジスト13をピールオフにより、Auパンプ14をマスクとしてレジスト剝離液で剥離して除去する。

次に、Auパンプ14をマスクとして、Ti12を希硫酸でエッチングする。

最後に、第2図(d)に示すように、Sn-Pbのはんだ15が融ける500℃で5分間メルトする。このメルトにより、はんだ15が融けて滑らかになる。

この場合、はんだ15は融けても、表面張力によりAuパンプ14からこぼれ落ちることはない。

#### 〔発明の効果〕

以上説明した様に、本発明によれば、従来技術によるパンプ表面の凸凹に起因するリードフレームとパンプの部分的接着不良が解消することができ、パンプ表面の形状が滑らかになり、リードフレームとコンタクトが良好になる。

この結果、リードフレームとパンプの接合が容易となり、パンプの信頼性、歩留りが向上する。

#### 4. 部面の簡単な説明

第1図は本発明の原理説明図である。

第2図は本発明の一実施例の工程順模式断面図である。

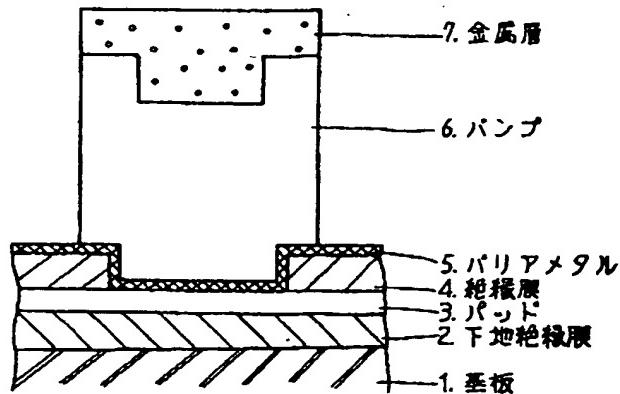
第3図は従来例の模式断面図である。

図において、

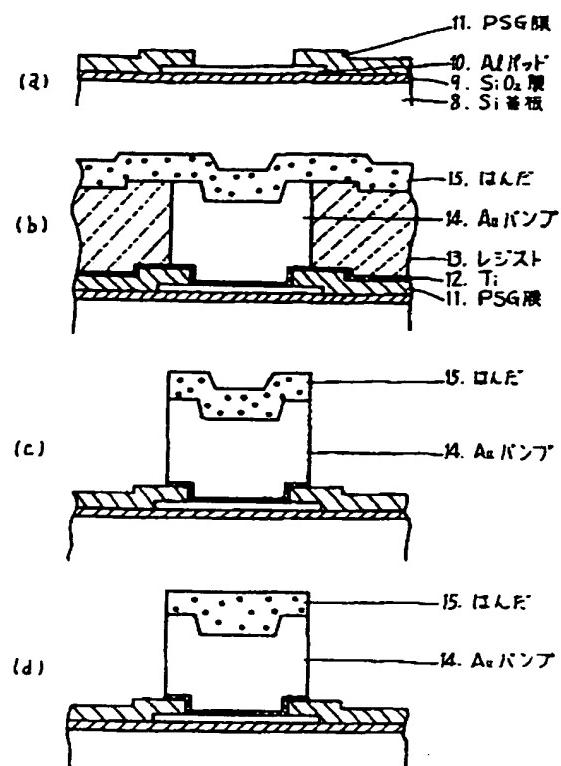
1は基板、  
2は下地絶縁膜、  
3はパッド、  
4は絶縁膜、

5はバリアメタル、6はパンプ、  
7は金属層、8はSi基板、  
9はSiO<sub>2</sub>膜、10はAlパッド、  
11はPSG膜、12はTi、  
13はレジスト、14はAuパンプ、  
15ははんだ  
である。

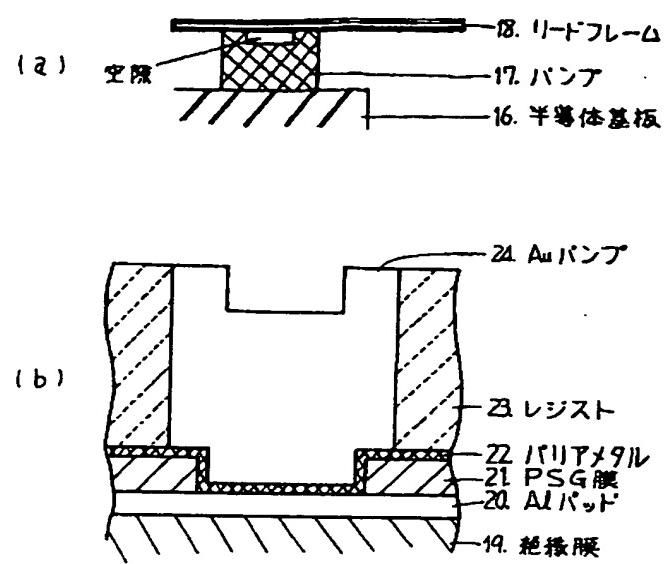
代理人弁理士井桁貞一



本発明の原理説明図  
第1図



本発明の一実施例の工程順序断面図  
第2図



従来例の構造断面図  
第3図

第1頁の続き

②発明者 白川 良美 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内